

09/6007

PCT/JP99/06332

12.11.99

日本国特許庁

PATENT OFFICE
JAPANESE GOVERNMENT

REC'D	29 NOV 1999
WIPO	PCT

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。 # 8

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

SP99/6332

出願年月日
Date of Application:

1998年11月12日

出願番号
Application Number:

平成10年特許願第322465号

出願人
Applicant(s):

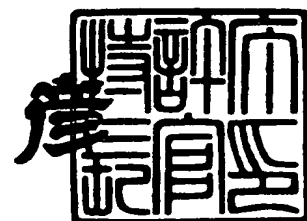
ソニー株式会社

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

1999年 9月17日

特許庁長官
Commissioner,
Patent Office

近藤 隆彦



出証番号 出証特平11-3062160

【書類名】 特許願

【整理番号】 9800616903

【提出日】 平成10年11月12日

【あて先】 特許庁長官殿

【国際特許分類】 H04J 3/00

【発明の名称】 データ多重化装置およびデータ多重化方法、並びにデータ伝送装置

【請求項の数】 13

【発明者】

 【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
 内

 【氏名】 隅田 哲夫

【特許出願人】

 【識別番号】 000002185

 【氏名又は名称】 ソニー株式会社

 【代表者】 出井 伸之

【代理人】

 【識別番号】 100090376

 【弁理士】

 【氏名又は名称】 山口 邦夫

 【電話番号】 03-3291-6251

【選任した代理人】

 【識別番号】 100095496

 【弁理士】

 【氏名又は名称】 佐々木 榮二

 【電話番号】 03-3291-6251

【手数料の表示】

 【予納台帳番号】 007548

 【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9709004

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 データ多重化装置およびデータ多重化方法、並びにデータ伝送装置

【特許請求の範囲】

【請求項1】 複数の入力データをそれぞれ蓄積する複数のバッファと、
上記複数のバッファのデータ蓄積量をそれぞれ検出する蓄積量検出手段と、
上記複数のバッファのデータ蓄積量に応じて、上記複数のバッファの蓄積データに対しそれぞれデータ量の削減処理を施して複数の出力データを得る出力データ生成手段と、

上記複数の出力データを多重して多重化データを得るデータ多重化手段と
を備えることを特徴とするデータ多重化装置。

【請求項2】 上記出力データ生成手段は、上記複数のバッファのデータ蓄積量と共に、上記多重化データに係る伝送レートに応じて、上記複数のバッファの蓄積データに対しそれぞれデータ量の削減処理を施して複数の出力データを得る

ことを特徴とする請求項1に記載のデータ多重化装置。

【請求項3】 上記出力データ生成手段は、上記複数のバッファのデータ蓄積量と共に、上記複数の入力データの優先度に応じて、上記複数のバッファの蓄積データに対しそれぞれデータ量の削減処理を施して複数の出力データを得ることを特徴とする請求項1に記載のデータ多重化装置。

【請求項4】 上記複数の入力データは離散コサイン変換を利用した圧縮データであり、

上記出力データ生成手段では、上記離散コサイン変換の高次係数の廃棄により上記データ量の削減を行う

ことを特徴とする請求項1に記載のデータ多重化装置。

【請求項5】 上記入力データはバイト単位のパラレルデータであると共に、上記バッファはシリアルデータバッファであり、

上記入力データをバイト単位のパラレルデータよりシリアルデータに変換して上記バッファに入力するパラレル／シリアル変換手段と、

上記バッファからの読み出しデータをシリアルデータよりバイト単位のパラレルデータに変換して上記出力データとするシリアル／パラレル変換手段をさらに備え、

上記出力データ生成手段は、上記バッファのデータ蓄積量に応じて、上記シリアルデータバッファより蓄積データを選択的に読み出すことで上記データ量の削減を行う

ことを特徴とする請求項1に記載のデータ多重化装置。

【請求項6】 上記入力データはMPEG2の符号化データであり、
上記符号化データより開始同期コードを検出する開始同期コード検出手段と、
上記開始同期コード検出手段の検出出力に基づいて、上記シリアル／パラレル変換手段を制御し、上記出力データを、上記開始同期コードの前でバイトデータが完結したものとするバイトアライメント手段とをさらに備える

ことを特徴とする請求項5に記載のデータ多重化装置。

【請求項7】 上記入力データは1バイト幅のパラレルデータであると共に、
上記バッファはパラレルデータバッファであり、

上記入力データを解析し、複数のデータ削減率に対応して、上記パラレルデータバッファに蓄積される各バイトのビットデータの有効無効を示すデータを生成するデータ解析部と、

上記複数のデータの削減率に対応して生成された上記有効無効を示すデータをそれぞれ蓄積する複数のビットイネーブルバッファとをさらに備え、

上記出力データ生成手段は、上記バッファのデータ蓄積量に応じて、上記複数のビットイネーブルバッファのいずれかを選択し、上記バッファからの読み出しデータの各バイトのビットデータより、上記選択されたビットイネーブルバッファからのデータに基づいて、有効ビットデータのみを取り出して上記出力データを得る

ことを特徴とする請求項1に記載のデータ多重化装置。

【請求項8】 上記入力データはMPEG2の符号化データであり、
上記符号化データより開始コードを検出する開始コード検出手段と、
上記開始コード検出手段の検出出力に基づいて、上記出力データを、上記開始

コードの前でバイトデータが完結したものとするバイトアライメント手段とをさらに備える

ことを特徴とする請求項 7 に記載のデータ多重化装置。

【請求項 9】 複数の入力データをそれぞれ複数個のバッファに蓄積する工程と、

上記複数個のバッファの蓄積量をそれぞれ検出する工程と、

上記複数個のバッファのデータ蓄積量に応じて、上記複数個のバッファの蓄積データに対しそれぞれデータ量の削減処理を施して複数の出力データを得る工程と、

上記複数の出力データを多重して多重化データを得る工程と

を有することを特徴とするデータ多重化方法。

【請求項 10】 上記複数の出力データを得る工程では、上記複数個のバッファのデータ蓄積量と共に上記多重化データに係る伝送レートに応じて、上記複数個のバッファの蓄積データに対しそれぞれデータ量の削減処理を施して複数の出力データを得る。

ことを特徴とする請求項 9 に記載のデータ多重化方法。

【請求項 11】 上記複数の出力データを得る工程では、上記複数個のバッファのデータ蓄積量と共に上記複数の入力データの優先度に応じて、上記複数個のバッファの蓄積データに対しそれぞれデータ量の削減処理を施して複数の出力データを得る

ことを特徴とする請求項 9 に記載のデータ多重化方法。

【請求項 12】 複数の入力データを多重して多重化データを得るデータ多重化部と、上記多重化データを伝送するデータ伝送部とを有するデータ伝送装置において、

上記データ多重化部は、

複数の入力データをそれぞれ蓄積する複数個のバッファと、

上述複数個のバッファのデータ蓄積量をそれぞれ検出する蓄積量検出手段と、

上記複数個のバッファのデータ蓄積量に応じて、上記複数個のバッファの蓄積データに対し、それぞれデータ量の削減処理を施して複数の出力データを得る出

力データ生成手段と、

上記複数の出力データを多重して多重化データを得るデータ多重化手段とを備える

ことを特徴とするデータ伝送装置。

【請求項 13】 上記複数の入力データをそれぞれ得る複数の符号化器をさらに有する

ことを特徴とする請求項 12 に記載のデータ伝送装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、例えばデジタル衛星放送システム等に適用して好適なデータ多重化装置およびデータ多重化方法、並びにデータ伝送装置に関する。詳しくは、複数のバッファの蓄積データに対しそれぞれデータ蓄積量に応じてデータ量の削減処理を施して複数の出力データを得ると共に、この複数の出力データを多重して多重化データを得ることによって、多重化の際の遅延時間の増大を回避し、それによる受信側での同期破綻等の不都合を防止しようとしたデータ多重化装置等に係るものである。

【0002】

【従来の技術】

近年、デジタル衛星放送システムが普及しつつある。このシステムにおいては、ビデオ信号およびオーディオ信号について M P E G 規格等によるデジタル圧縮符号化を行うと共に M P E G 規格等による多重化を行って得られたビットストリームを衛星を介して送信し、受信側ではそのビットストリームを受信し、ビデオデータやオーディオデータを分離した後にデコード処理をしてビデオ信号やオーディオ信号を得るようになっている。

【0003】

ビットストリームとしては、例えば M P E G 2 (Moving Picture Experts Group 2) トランスポートストリームが使用される。図 15 B は、M P E G 2 トランスポートストリームを示しており、複数のプログラム、例えば # 1 ~ # 3 のプロ

グラムの188バイト固定長のトランスポートストリーム・パケット（以下、「TSパケット」という）が連続したものになっている。各TSパケットは、図15Aに示すように、4バイトのパケットヘッダと、184バイトのアダプテーション・フィールドおよび／またはペイロードとで構成されている。

【0004】

パケットヘッダには、TSパケットの先頭を検出するための同期バイト、該当パケットの個別ストリーム（データ列）の属性を示すPID（Packet Identification：パケット識別子）、このパケットでのアダプテーション・フィールドの有無およびペイロードの有無を示すアダプテーションフィールド制御情報等が配されている。アダプテーションフィールドには、個別ストリームに関する付加情報やスタッフィングバイト（無効データバイト）が配される。ペイロードには、例えば図15Cに示すビデオやオーディオのPES（Packetized Elementary Stream）パケットが再分割されて配されている。

【0005】

【発明が解決しようとする課題】

入力データを可変レートで扱うことにより、画質や伝送効率の向上を図る技術も実用化されてきており、データ多重化装置では、統計多重等の技術により、可変レートの複数の入力データの多重を行っている。しかし、入力データを可変レートで扱うことで、制御の複雑さによる多重遅延の増加やエンコーダ側への過度な制約といった様々な課題が存在している。

【0006】

図16は、ビデオ信号Va, Vb, Vcに係る入力データを多重する際の入力レートの総和の変動例を示している。時刻t1から時刻t2の期間、入力レートの総和は、出力伝送レートR1を上回っており、この期間のデータは伝送できないか、またはバッファ内で遅延された上で伝送されることになる。バッファ内での遅延を許す場合、伝送レートが固定であるときは、バッファ内のデータ蓄積量は、入力レートの可変度合いにより増減することになる。これにより、場合によっては、多重化する際の遅延時間が非常に大きくなり、受信側で同期破綻を招き、結果として画像や音声の断続につながる。送信側では、このような事態を防止

する必要がある。

【0007】

また、優先度情報を有する入力データを多重する場合には、一般的に優先度の高い入力データが優先的に多重され、その間他の入力データはバッファに蓄積されることになる。したがって、この場合には、バッファ内におけるデータ蓄積量の変動は、より顕著なものとなる。

【0008】

そこで、この発明では、多重化の際の遅延時間の増大を回避し、それによる受信側での同期破綻等の不都合を防止し得るデータ多重化装置等を提供することを目的とする。

【0009】

【課題を解決するための手段】

この発明に係るデータ多重化装置は、複数の入力データをそれぞれ蓄積する複数のバッファと、この複数のバッファのデータ蓄積量をそれぞれ検出する蓄積量検出手段と、複数のバッファのデータ蓄積量に応じて、複数のバッファの蓄積データに対しそれぞれデータ量の削減処理を施して複数の出力データを得る出力データ生成手段と、この複数の出力データを多重して多重化データを得るデータ多重化手段とを備えるものである。

【0010】

この発明において、複数の入力データはそれぞれ複数のFIFO等で構成されるバッファに供給されて書き込まれ、蓄積されていく。そして、この複数のバッファの蓄積データに対し、それぞれデータ蓄積量に応じてデータ量の削減処理が行われて複数の出力データが得られる。この場合、データ蓄積量が多くなっていくときは削減量が多くされる。

【0011】

なお、データ量の削減処理を、データ蓄積量と共に、伝送レートや入力データの優先度を参照して行ってもよい。例えば、伝送レートが大きいときは、削減量が少なくされ、伝送レートが小さいときは削減量が多くされる。また例えば、優先度が高いときは削減量が少なくされ、優先度が低いときは削減量が多くされる。

。入力データが離散コサイン変換を利用した圧縮データである場合、データ量の削減は、離散コサイン変換の高次係数の廃棄により可能となる。

【0012】

上述したようにデータ量の削減処理が行われて得られる複数の出力データが多重されて多重化データが得られる。そして、この多重化データが受信側に伝送されることとなる。このように、データ蓄積量に応じてデータ量の削減処理を行って複数の出力データを得るものであり、バッファのデータ蓄積量の増加を抑制でき、多重化の際の遅延時間の増大を回避でき、受信側での同期破綻等の不都合を防止することが可能となる。

【0013】

【発明の実施の形態】

以下、図面を参照しながら、この発明の第1の実施の形態について説明する。図1は、第1の実施の形態としてのディジタル衛星放送システム100の構成を示している。

【0014】

この放送システム100は、送信側に、ビデオ信号Va～Vcをそれぞれ例えばMP EG規格で圧縮符号化するビデオ符号化器111A～111Cと、このビデオ符号化器111A～111Cより出力されるビデオデータ（ビデオのPESパケット）PESa～PEScをそれぞれTSパケットにパケット化して多重し、トランスポートストリームTS（図15B参照）を得る多重化装置114と、このトランスポートストリームTSをディジタル変調すると共に、所定周波数帯にアップコンバートして放送信号を得る送信装置115と、この放送信号を衛星120に送信するための送信アンテナ116とを有している。

【0015】

なお、ビデオデータPESa～PEScは、それぞれバイト単位の平行データである。また、図15Bには図示せずも、実際には、各TSパケット（188バイト）にはそれぞれ16バイトの誤り訂正用パリティが付加され、受信側での誤り訂正処理に利用される。また、多重化装置114には、ビデオ符号化器111A～111Cで生成されるビデオデータPESa～PEScを供給する代わ

りに、例えばディスク装置等の再生装置で再生されるビデオデータ P E S a ~ P E S c を供給する構成も考えられる。

【0016】

また、放送システム 100 は、受信側に、衛星 120 より送信されてくる放送信号を受信するための受信アンテナ 117 と、この受信アンテナ 117 で受信された放送信号に対して復調処理やデコード処理等を行って所定のプログラムのビデオ信号 V o を得る受信装置 118 と、このビデオ信号 V o による画像を表示するためのモニタ 119 とを有している。

【0017】

以上の構成において、送信側のビデオ符号化器 111 A ~ 111 C ではそれぞれビデオ信号 V a ~ V c の圧縮符号化が行われてビデオデータ P E S a ~ P E S c が形成され、このビデオデータ P E S a ~ P E S c は多重化装置 114 に供給される。多重化装置 114 ではビデオデータ P E S a ~ P E S c がそれぞれ T S パケットにパケット化され、その後には多重化されて M P E G 2 のトランスポートストリーム T S が形成され、このトランスポートストリーム T S は送信装置 115 に供給される。

【0018】

送信装置 115 では、トランスポートストリーム T S に対してデジタル変調処理やアップコンバート処理がされて放送信号が形成される。そして、この放送信号が送信アンテナ 116 に供給され、この放送信号が送信アンテナ 116 より衛星 120 に向かって送信される。

【0019】

また、衛星 120 より送信される放送信号が受信側の受信アンテナ 117 で受信され、受信された放送信号は受信装置 118 に供給される。この受信装置 118 では、受信された放送信号に対して復調処理やデコード処理等が行われて所定のプログラムのビデオ信号 V o が得られる。そして、このビデオ信号 V o がモニタ 119 に供給され、このモニタ 119 にはビデオ信号 V o による画像が表示される。

【0020】

図2は、多重化装置114の構成を示している。この多重化装置114は、ビデオ符号化器111A～111Cより出力されるビデオデータPESa～PEScをそれぞれ入力する入力端子130A～130Cと、ビデオデータPESa～PEScを、それぞれバッファに書き込むと共にそれより読み出し、TSパケットを構成するデータPDa～PDcを順次出力するレート可変型多重バッファ132A～132Cとを有している。

【0021】

また、多重化装置114は、データPDa～PDcにそれぞれパケットヘッダを付加すると共に誤り訂正用のパリティを付加してTSパケットを形成し、その後各TSパケットを多重化してトランスポートストリームTSを形成する多重化回路133と、このトランスポートストリームTSを出力する出力端子134と、レート可変型多重バッファ132A～132Cおよび多重化回路133の動作を制御する多重化制御部135と、送信装置115より供給される伝送レート情報TRIを入力する入力端子136とを有している。入力端子136に入力される伝送レート情報TRIは、多重化制御部135に供給される。

【0022】

図3は、レート可変型多重バッファ132Aの構成を示している。このレート可変型多重バッファ132Aは、ビデオデータPESaが入力される入力端子141と、この入力端子141に入力されるビデオデータPESaをバイト単位の平行データからシリアルデータに変換する平行／シリアル変換器（以下、「P／S変換器」という）142と、このP／S変換器142より出力されるシリアルデータを書き込み、蓄積するシリアルデータバッファ143とを有している。ここで、バッファ143はデータ蓄積量の検出機能を備えており、検出された蓄積量情報DSIは、多重化制御部135に供給される。

【0023】

また、レート可変型多重バッファ132Aは、シリアルデータバッファ143より読み出されるシリアルデータをバイト単位の平行データに変換して出力データとしてのデータPDaを得るシリアル／平行変換器（以下、「S／P

変換器」という) 144と、このS/P変換器144で得られるデータPDaを出力する出力端子145とを有している。

【0024】

また、レート可変型多重バッファ132Aは、入力端子141に入力されるビデオデータPESaのデータ解析を行うデータ解析部146と、多重化制御部135の制御のもと、バッファ143のデータ蓄積量の増加に対応して、バッファ143からの蓄積データの読み出しが選択的に行われるように制御し、バッファ143のデータ蓄積量の増加を抑制するレート可変制御部147とを有している。

【0025】

上述せずも、ビデオデータPESaはビデオのPESパケットであって、ペイロードに配される画像データは、8画素×8ラインのブロック単位で離散コサイン変換(DCT: discrete cosine transform)の演算をし、得られるDCT係数を量子化し、その後にジグザグスキャン等のスキャンをしてDCT係数を可変長符号化したものである。データ解析部146では、例えばビデオデータPESaのどの部分が何次のDCT係数に係るデータであるかが解析される。そして、このデータ解析部146よりレート可変制御部147にその解析結果が供給され、レート可変制御部147は、その解析結果を参照し、バッファ143からの蓄積データの読み出し時に、高次のDCT係数が廃棄されるように制御する。この場合、データ蓄積量の増加が大きくなるほど廃棄するDCT係数の最低次数が下げられて、データ蓄積量の増加が抑制される。

【0026】

また、レート可変型多重バッファ132Aは、シリアルデータバッファ143の蓄積データより開始同期コードを検出する開始同期コード検出部148と、この開始同期コード検出部148の検出出力SCDに基づいて、S/P変換器144の動作を制御し、S/P変換器144より出力されるデータPDaを、開始同期コードの前でバイトデータが完結したものとするバイトアライメント部149とを有している。

【0027】

周知のように、MPEG2のビデオの符号化データは、シーケンス層からブロック層までの階層構成をとっている。そして、スライス層以上には、先頭に同期開始コードが配されている。ここで、各同期コードは4バイトで構成され、先頭から3バイトは「00 00 01 (H)」となっている。そこで、開始同期コード検出部148では、この3バイト部分をパターンマッチング等の方法で検出することで、開始同期コードの検出が行われる。

【0028】

次に、図3に示すレート可変型多重バッファ132Aの動作を説明する。入力端子141に入力されるビデオデータPES aは、P/S変換器142でバイト単位のパラレルデータからシリアルデータに変換され、その後にバッファ143に供給されて書き込まれ、蓄積される。

【0029】

また、入力端子141に入力されるビデオデータPES aはデータ解析部146に供給されてデータ解析がされる。データ解析部146では、例えばビデオデータPES aのどの部分が何次のDCT係数に係るデータであるかが解析される。この解析結果はレート可変制御部147に供給される。

【0030】

バッファ143の蓄積データは、多重化制御部135の制御により読み出される。この場合、バッファ143からの蓄積データの読み出しは、他のレート可変型多重バッファ132B、132Cにおける蓄積データの読み出しや伝送レート情報TRIで示される伝送レートとの兼ね合いで制限されるが、バッファ143のデータ蓄積量が増加していく場合には、レート可変制御部147の制御により、データ解析部146の解析結果が参照されて、蓄積データが選択的に読み出され、データ量の削減が行われる。例えば、高次のDCT係数を廃棄することで、データ量の削減が行われる。この場合、データ蓄積量の増加が大きくなる程廃棄するDCT係数の最低次数が下げられる。これにより、バッファ143のデータ蓄積量の増加が抑制され、多重化の際の遅延時間の増大が回避される。

【0031】

バッファ143の読み出しデータは、S/P変換器144でシリアルデータからバイト単位の平行データに変換されてデータPDaが得られ、このデータPDaが出力端子145に導出される。この場合、バッファ143の蓄積データよりMPEG2の符号化コードの開始同期コードが検出され、その検出出力SCDに基づいて、バイトアライメント部149によりS/P変換器144の動作が制御される。これにより、S/P変換器144より出力されるデータPDaは、各開始同期コードの前でバイトデータが完結したものとされる。

【0032】

図2に戻って、詳細説明は省略するが、レート可変型多重バッファ132B、132Cも、上述したレート可変型多重バッファ132Aと同様に構成され、同様の動作をし、データPDb、PDcを順次出力する。

【0033】

図2に示す多重化装置114の動作を説明する。入力端子130Aよりレート可変型多重バッファ132AにビデオデータPESaが供給され、このレート可変型多重バッファ132aよりTSパケットを構成するデータPDaが順次出力される。また、入力端子130Bよりレート可変型多重バッファ132BにビデオデータPESbが供給され、このレート可変型多重バッファ132bよりTSパケットを構成するデータPDbが順次出力される。さらに、入力端子130Cよりレート可変型多重バッファ132CにビデオデータPEScが供給され、このレート可変型多重バッファ132CよりTSパケットを構成するデータPDcが順次出力される。

【0034】

レート可変型多重バッファ132A～132Cより出力されるデータPDa～PDcは多重化回路133に供給される。この多重化回路133では、データPDa～PDcにそれぞれパケットヘッダが付加されると共に、誤り訂正用のパリティが付加されてTSパケットが形成される。また、多重化回路133では、データPDa～PDcよりそれぞれ形成されたTSパケットが多重化されてトランスポートストリームTSが形成され、このトランスポートストリームTSが出力

端子134に導出される。

【0035】

以上説明したように、第1の実施の形態においては、多重化装置114のレート可変型多重バッファ132A～132C（図3参照）において、シリアルデータバッファ143より、そのデータ蓄積量に応じて、蓄積データが選択的に読み出されるものである。例えば、データ蓄積量が増加していく場合には、高次のDCT係数が廃棄されて、データ量の削減が行われる。したがって、ビデオデータPESa～PEScが可変レートのものであっても、バッファ143のデータ蓄積量の増加が抑制され、多重化の際の遅延時間の増大が回避され、それによる受信側での同期破綻等の不都合を良好に防止できる。

【0036】

なお、レート可変型多重バッファ132A～132Cは、図3に示す構成とする代わりに、図4に示す構成とすることも考えられる。図4に示すレート可変型多重バッファ132A'を説明する。

【0037】

このレート可変型多重バッファ132A'は、ビデオデータPESaが入力される入力端子151と、この入力端子151に入力されるビデオデータPESaを所定時間だけ遅延させる時間調整用のディレイ部152と、このディレイ部152で遅延されたビデオデータPESaを書き込み、蓄積するパラレルデータバッファ153とを有している。ここで、バッファ153はデータ蓄積量の検出機能を備えており、蓄積量情報DSIは多重化制御部135に供給される。

【0038】

また、レート可変型多重バッファ132A'は、入力端子151に供給されるビデオデータPESaのデータ解析を行って、複数(n)のデータ削減率に対応して、上述のバッファ153に蓄積されるビデオデータPESaの各バイトのビットデータの有効無効を示すビットイネーブルデータD1～Dnを生成すると共に、ビデオデータPESaよりパターンマッチング等の方法で開始同期コードを検出するデータ解析部154と、データD1～Dnをバイト単位で書き込み、蓄積する複数のビットイネーブルバッファ155₋₁～155_{-n}とを有している。

【0039】

ここで、データD1～Dnは、例えば「1」が有効を示し、「0」が無効を示すものとされる。また、データ解析部154では、例えばビデオデータPESaのどの部分が何次のDCT係数に係るデータであるかが解析され、複数のデータ削減率に対応して、それぞれビデオデータPESaの所定次数以上のDCT係数の部分を無効とするようにデータD1～Dnが生成される。この場合、データ削減率が高いほど、無効にするDCT係数の最低次数を下げていくこととなる。

【0040】

また、レート可変型多重バッファ132A'は、多重化制御部135の制御のもと、データ蓄積量に対応して、バッファ155₋₁～155_{-n}からそれぞれ読み出されるデータD1～Dnのいずれかを選択的に取り出すイネーブル制御部156と、バッファ153より読み出されるビデオデータPESaの各バイトのビットデータより、イネーブル制御部156で取り出されるビットイネーブルデータDを使用して、無効のビットデータを廃棄するレート変換部157とを有している。

【0041】

なお、バッファ153からの蓄積データの読み出しは、多重化制御部135の制御により行われる。バッファ155₋₁～155_{-n}の書き込み、読み出しは、バッファ153の書き込み、読み出しに対応して行われる。また、レート変換部157において、バッファ153より供給されるビデオデータPESaの各バイトのビットデータに対応したビットイネーブルデータDが供給されるように、上述したディレイ部152の遅延時間が設定されている。

【0042】

また、レート可変型多重バッファ132A'は、レート変換部157の出力データ、つまりビデオデータPESaの各バイトの有効ビットデータを、バイト単位のパレルデータに変換して出力データとしてのデータPDaを得るパレルシフタ158と、このデータPDaを出力する出力端子159と、データ解析部154からの開始同期コードの検出出力SCDに基づいて、パレルシフタ158の動作を制御し、このパレルシフタ158より出力されるデータPDaを、開始同

期コードの前でバイトデータが完結したものとするバイトアライメント部160とを有している。

【0043】

上述したように、レート変換部157では、ビデオデータPESaの各バイトのビットデータより無効のビットデータが廃棄される。具体的には、レート変換部157において、ビデオデータPESaの各バイトデータに対応して、それぞれその有効ビットデータがMSB (most significant bit) 側に詰められ、その他のビットデータは「0」とされたバイトデータBYDおよび有効ビットのデータ長情報Nが生成される。バレルシフタ158では、レート変換部157より供給されるバイトデータBYDおよびデータ長情報Nを使用して、バイト単位の平行データが形成される。

【0044】

図5は、レート変換部157の構成例を示している。このレート変換部157は、1ビット切換部171～8ビット切換部178と、ROMテーブル179とから構成されている。ビデオデータPESaの各バイトのビットデータを $a_7 \sim a_0$ とし、バイト単位の各ビットイネーブルデータDのビットデータを $b_7 \sim b_0$ とする。

【0045】

1ビット切換部171には、 a_0 が入力信号として供給され、 b_0 が制御信号として供給され、2ビット切換部172～8ビット切換部178には、それぞれ1ビット切換部171～7ビット切換部177の出力信号および $a_1 \sim a_7$ が入力信号として供給され、 $b_1 \sim b_7$ が制御信号として供給され、そして8ビット切換部178よりバイトデータBYD ($c_7 \sim c_0$) が出力される。また、ROMテーブル179の入力信号として $b_7 \sim b_0$ が供給され、このROMテーブル179より $b_7 \sim b_0$ のうち「1」の個数を示すデータ長情報Nが出力される。

【0046】

図6は、1ビット切換部171の構成を示している。この1ビット切換部171は2個の固定端子 f_0 、 f_1 と1個の可動端子 g_1 とを有する切換スイッチである。固定端子 f_0 には「0」が供給され、固定端子 f_1 には入力信号 a_0 が供給さ

れ、可動端子 g_1 より出力信号が導出される。制御信号 b_0 が「1」であるとき、可動端子 g_1 が固定端子 f_1 に接続され、入力信号 a_0 がそのまま出力信号として導出される。一方、制御信号 b_0 が「0」であるとき、可動端子 g_1 が固定端子 f_0 に接続され、「0」が出力信号として導出される。図7は、1ビット切換部 171 の各信号の関係を示している。

【0047】

図8は、 n ($n=2\sim 8$) ビット切換部 170 の構成を示している。この n ビット切換部 170 は $(n+1)$ 個の固定端子 $f_0, f_1, f_2, \dots, f_{n-1}, f_n$ と、 n 個の可動端子 $g_1, g_2, \dots, g_{n-1}, g_n$ とを有する切換スイッチである。固定端子 f_0 には「0」が供給され、固定端子 $f_1, f_2, \dots, f_{n-1}, f_n$ にはそれぞれ入力信号 $I_1, I_2, \dots, I_{n-1}, I_n$ が供給され、可動端子 $g_1, g_2, \dots, g_{n-1}, g_n$ よりそれぞれ出力信号 $O_1, O_2, \dots, O_{n-1}, O_n$ が導出される。

【0048】

例えば、2ビット切換部 172 であるときは、3個の固定端子 I_0, I_1, I_2 と、2個の可動端子 g_1, g_2 とを有する切換スイッチである。そして、固定端子 f_0 には「0」が供給され、さらに固定端子 f_1 には1ビット切換部 171 の出力信号が入力信号 I_1 として供給され、 a_1 が入力信号 I_2 として供給され、可動端子 g_1, g_2 より出力信号 O_1, O_2 が導出される。

【0049】

また例えば、8ビット切換部 178 であるときは、9個の固定端子 $f_0, f_1, f_2, \dots, f_8$ と、8個の可動端子 g_1, g_2, \dots, g_8 とを有する切換スイッチである。そして、固定端子 f_0 には「0」が供給され、さらに固定端子 f_1, f_2, \dots, f_7 には、7ビット切換部 171 の出力信号 O_1, O_2, \dots, O_7 がそれぞれ入力信号 I_1, I_2, \dots, I_7 として供給され、 a_7 が入力信号 I_8 として供給され、可動端子 g_1, g_2, \dots, g_8 よりそれぞれバイトデータ BYD [$c_0\sim c_7$] を構成する出力信号 O_1, O_2, \dots, O_8 が導出される。

【0050】

制御信号が「1」であるとき、可動端子 $g_1, g_2, \dots, g_{n-1}, g_n$ がそれ

ぞれ固定端子 $f_1, f_2, \dots, f_{n-1}, f_n$ に接続され、入力信号 $I_1, I_2, \dots, I_{n-1}, I_n$ がそのまま出力信号 $O_1, O_2, \dots, O_{n-1}, O_n$ として導出される。一方、制御信号が「0」であるとき、可動端子 $g_1, g_2, \dots, g_{n-1}, g_n$ がそれぞれ固定端子 $f_0, f_1, \dots, f_{n-2}, f_{n-1}$ に接続され、「0」が出力信号 O_1 として導出されると共に、入力信号 $I_1, \dots, I_{n-2}, I_{n-1}$ がそれぞれ出力信号 O_2, \dots, O_{n-1}, O_n として導出される。図9は n ビット切換部 170 の各信号の関係を示している。ただし、 $I_0 = \text{「0」}$ とする。

【0051】

図10は、レート変換部 157 のバイトデータ BYD を得る動作例を示している。この例は、ビデオデータ PESa のビットデータ $[a_7 \sim a_0]$ が $[10110111]$ で、ビットイネーブルデータ D のビットデータ $[b_7 \sim b_0]$ が $[00101110]$ である場合の例である。この場合、バイトデータ BYD $[c_7 \sim c_0]$ として $[1011000]$ が生成される。これは、ビットデータ $[a_7 \sim a_0]$ の有効ビットデータが MSB 側に詰められ、その他のビットデータが「0」とされたものである。なお、この例の場合、ROM テーブル 179 より出力されるデータ長情報 N は、4 を示すものとなる。

【0052】

図11は、イネーブル制御部 156 で選択されているビットイネーブルバッファとパラレルデータバッファ 153 の内部にそれぞれ蓄積されているデータと、レート変換部 157 の出力データと、バレルシフタ 158 の出力データの一例を示している。

【0053】

次に、図4に示すレート可変型多重バッファ 132A' の動作を説明する。入力端子 151 に入力されるビデオデータ PESa は、ディレイ部 152 を介してパラレルデータバッファ 153 に供給されてバイト単位で書き込まれ、蓄積される。また、入力端子 151 に入力されるビデオデータ PESa はデータ解析部 154 に供給されてデータ解析がされる。そして、このデータ解析部 154 では、複数 (n) のデータ削減率に対応して、上述のバッファ 153 に蓄積されるビデオデータ PESa の各バイトのビットデータの有効無効を示すビットイネーブル

データD1～Dnが生成される。

【0054】

データ解析部154では、例えばビデオデータPESaのどの部分が何次のDCT係数に係るデータであるかが解析され、複数のデータ削減率に対応して、それぞれビデオデータPESaの所定次数以上のDCT係数の部分を無効とするようにデータD1～Dnが生成される。このビットイネーブルデータD1～Dnは、それぞれビットイネーブルバッファ155₋₁～155_{-n}に供給されてバイト単位で書き込まれ、蓄積される。

【0055】

バッファ153の蓄積データおよびバッファ155₋₁～155_{-n}のビットイネーブルデータは、多重化制御部135の制御により、同期して読み出される。そして、バッファ155₋₁～155_{-n}からそれぞれ読み出されるデータD1～Dnのいずれかがイネーブル制御部156で選択的に取り出されてレート変換部157に供給される。

【0056】

レート変換部157では、イネーブル制御部156で取り出されるビットイネーブルデータDを使用して、バッファ153より読み出されるビデオデータPESaの各バイトのビットデータより無効のビットデータが廃棄される。すなわち、レート変換部157では、ビデオデータPESaの各バイトデータに対応して、それぞれその有効ビットデータがMSB側に詰められ、その他のビットデータは「0」とされたバイトデータBYDおよび有効ビットのデータ長情報Nが生成される。

【0057】

レート変換部157で生成されるバイトデータBYDおよび有効ビットのデータ長情報Nはバレルシフタ158に供給される。このバレルシフタ158では、バイトデータBYDおよびデータ長情報Nに基づいて、ビデオデータPESaの各バイトの有効ビットデータがバイト単位の平行データに変換され、出力データとしてのデータPDaが得られる。そして、このデータPDaが出力端子159に導出される。

【0058】

ここで、ビデオデータ PESA よりデータ解析部 154 で MPEG2 の符号化コードの開始同期コードが検出され、その検出出力 SCD に基づいて、バイトアライメント部 160 によりバレルシフタ 158 の動作が制御される。これにより、バレルシフタ 158 より出力されるデータ PDa は、各開始同期コードの前でバイトデータが完結したものとされる。

【0059】

上述せずも、バッファ 153 からの蓄積データの読み出しは、他のレート可変型多重バッファにおける蓄積データの読み出しや、伝送レート情報 TRI で示される伝送レートとの兼ね合いで制限されるが、バッファ 153 のデータ蓄積量が増加していく場合には、多重化制御部 135 の制御により、イネーブル制御部 156 でデータ削減率がより高くなるビットイネーブルデータが選択され、データ量の削減が行われる。この場合、データ蓄積量の増加が大きい程、データ削減率の高いビットイネーブルデータが選択される。これにより、バッファ 153 のデータ蓄積量の増加が抑制され、多重化の際の遅延時間の増大が回避される。

【0060】

このように、図 4 に示すレート可変型多重バッファ 132A' においては、パラレルデータバッファ 153 の蓄積量に応じて、イネーブル制御部 156 で所定のデータ削減率のビットイネーブルデータが選択され、レート変換部 157 で選択的にビットデータが廃棄されるものである。例えば、データ蓄積量が増加していく場合には、高次の DCT 係数が廃棄されて、データ量の削減が行われる。したがって、ビデオデータ PESA が可変レートのものであっても、バッファ 153 のデータ蓄積量の増加が抑制され、多重化の際の遅延時間の増大が回避され、それによる受信側での同期破綻等の不都合を良好に防止できる。また、図 3 に示すレート可変型多重バッファ 132A に比べて、P/S 変換器、S/P 変換器が不要となり、ハードウェア規模を小さくできる。

【0061】

次に、この発明の第 2 の実施の形態について説明する。図 12 は、第 2 の実施の形態としての多重化装置 114A の構成を示している。この図 12 において、

図2と対応する部分には同一符号を付し、その詳細説明は省略する。

【0062】

この多重化装置114Aは、ビデオ符号化器111A～111Cより出力される優先度情報PRa～PRcをそれぞれ入力する入力端子136A～136Cを有している。そして、入力端子136A～136Cに入力される優先度情報PRa～PRcが多重化制御部135に供給される。

【0063】

多重化制御部135は、各レート可変型多重バッファ132A～132C内のデータバッファのデータ蓄積量の増加だけでなく、優先度情報PRa～PRcに基づいて、各レート可変型多重バッファ132A～132Cにおけるデータ削減量を制御し、多重化回路133より出力されるトランスポートストリームTSの出力レート（以下、単に、「出力レート」という）が、伝送レート情報TRIで示される伝送レートに適合するように制御する。

【0064】

図12に示す多重化装置114Aのその他は図2に示す多重化装置114と同様に構成され、同様の動作をする。なお、多重化装置114Aは優先度情報PRa～PRcがビデオデータPESa～PEScとは別個に入力されるものであるが、優先度情報PRa～PRcが含まれるビデオデータPESa～PEScが入力されるものであってもよい。その場合、ビデオデータPESa～PEScより優先度情報PRa～PRcを分離する分離部が必要となる。

【0065】

図13は、図12に示す多重化装置114Aの動作例を示している。この例では、ビデオデータPESa～PEScのレートを同一固定レートとし、レートの総和と初期伝送レートをR1とし、他のデータや冗長データは一切多重しないものとする。そして、ビデオデータPESa～PEScの優先度は、PESa>PESb>PEScの順とし、ビデオデータPESaの優先順位が最も高いものとする。

【0066】

ここで、時刻t1において、R1からR2への伝送レートの変更が多重化装置

114Aに対してなされた場合、多重化装置114Aは優先度情報PRa~PRcに応じて各ビデオデータPESa~PEScのデータ量を削減し、出力レートを変更する。そして、その出力レートが伝送レートR2に適合するように制御を行い、時刻t2において出力レートをR2に整合させる。この例では、優先度の最も低いビデオデータPEScのデータ量を最も多く削減している。これにより、優先度の高いビデオデータPESaの品質の劣化が防止される。

【0067】

ここで、レート変更に必要な時間を Δt ($=t_2 - t_1$) とすると、例えばレート変更を各符号化器にフィードバックする手法を用いたとき、一般に符号化器側のバッファに蓄積されているデータを送出し終わるまでは、ビデオ符号化器はレート変更に対応できない。MPEG2の可変レート符号化器であってもレート変更にはスライス層単位 (NTSC方式で約1.1ms) 以上の時間を要する。このような制御の遅延は、多重化装置における入出力レートの差異により余剰データを発生させる。

【0068】

一般に、余剰データはバッファに蓄積されることで一見吸収されているように見えるが、データそのものの遅延量の増加という形で現れる。この遅延量の増加が、受信側での同期破綻を引き起こす要因となる。図12に示す多重化装置114Aにおいて、時間 Δt ではリアルタイムに各レート可変型多重バッファ132A~132C内でデータ量を削減してレート変更を行うため、データそのものの遅延時間は処理クロック単位 ($1\mu s$ 以下) 程度の微小時間となる。したがって、各レート可変型多重バッファ132A~132C内におけるデータ遅延による問題は一切発生しない。

【0069】

次に、この発明の第3の実施の形態について説明する。図14は、第3の実施の形態としての多重化装置114Bの構成を示している。この図14において、図12と対応する部分には同一符号を付し、その詳細説明は省略する。この多重化装置114Bは、単体の機能としてレート変換を行うことができるが、さらに各符号化器にフィードバックする手段を備えたものである。

【0070】

この多重化装置114Bは、多重化制御部135より出力されるレート制御信号RCSa~RCS cを出力する出力端子137A~137Cを有している。そして、出力端子137A~137Cに出力されるレート制御信号RCS a~RCS cは、それぞれビデオ符号化器111A~111Cに供給される。

【0071】

この場合、ビデオ符号化器111A~111Cがレート変更を完了するまで、データ遅延増加防止のために、多重化装置114Bの各レート可変型多重バッファ132A~132C内でデータ量を削減してレート変更を行う。勿論、ビデオ符号化器111A~111C側でのレート変更が完了すれば、完了した時点で多重化装置114Bに供給されるビデオデータPES a~PES cの入力レートの総和と伝送レートの整合性がとれるので、多重化装置114Bにおけるレート変更は行われなくなる。

【0072】

【発明の効果】

この発明によれば、複数個のバッファの蓄積データに対し、それぞれデータ蓄積量に応じてデータ量の削減処理を施して複数の出力データを得ると共に、この複数の出力データを多重して多重化データを得るものである。したがって、多重化の際の遅延時間の増大を回避でき、それによる受信側での同期破綻等の不都合を防止できる。

【図面の簡単な説明】

【図1】

第1の実施の形態としてのデジタル衛星放送システムの構成を示すブロック図である。

【図2】

多重化装置の構成を示すブロック図である。

【図3】

レート可変型多重バッファの構成を示すブロック図である。

【図 4】

レート可変型多重バッファの他の構成を示すブロック図である。

【図 5】

レート可変型多重バッファ内のレート変換部の構成例を示すブロック図である。

【図 6】

レート変換部内の 1 ビット切換部の構成を示す図である。

【図 7】

1 ビット切換部の各信号の関係を示す図である。

【図 8】

レート変換部内の n ビット切換部の構成を示す図である。

【図 9】

n ビット切換部の各信号の関係を示す図である。

【図 10】

レート変換部の動作例を示す図である。

【図 11】

レート変換部、バレルシフタの動作例を示す図である。

【図 12】

第 2 の実施の形態としての多重化装置の構成を示すブロック図である。

【図 13】

優先度情報を利用したレート変更例を説明するための図である。

【図 14】

第 3 の実施の形態としての多重化装置の構成を示すブロック図である。

【図 15】

MPEG 2 の TS パケットや PES パケットの構成を説明するための図である。

【図 16】

多重時の入力信号レートの変動を示す図である。

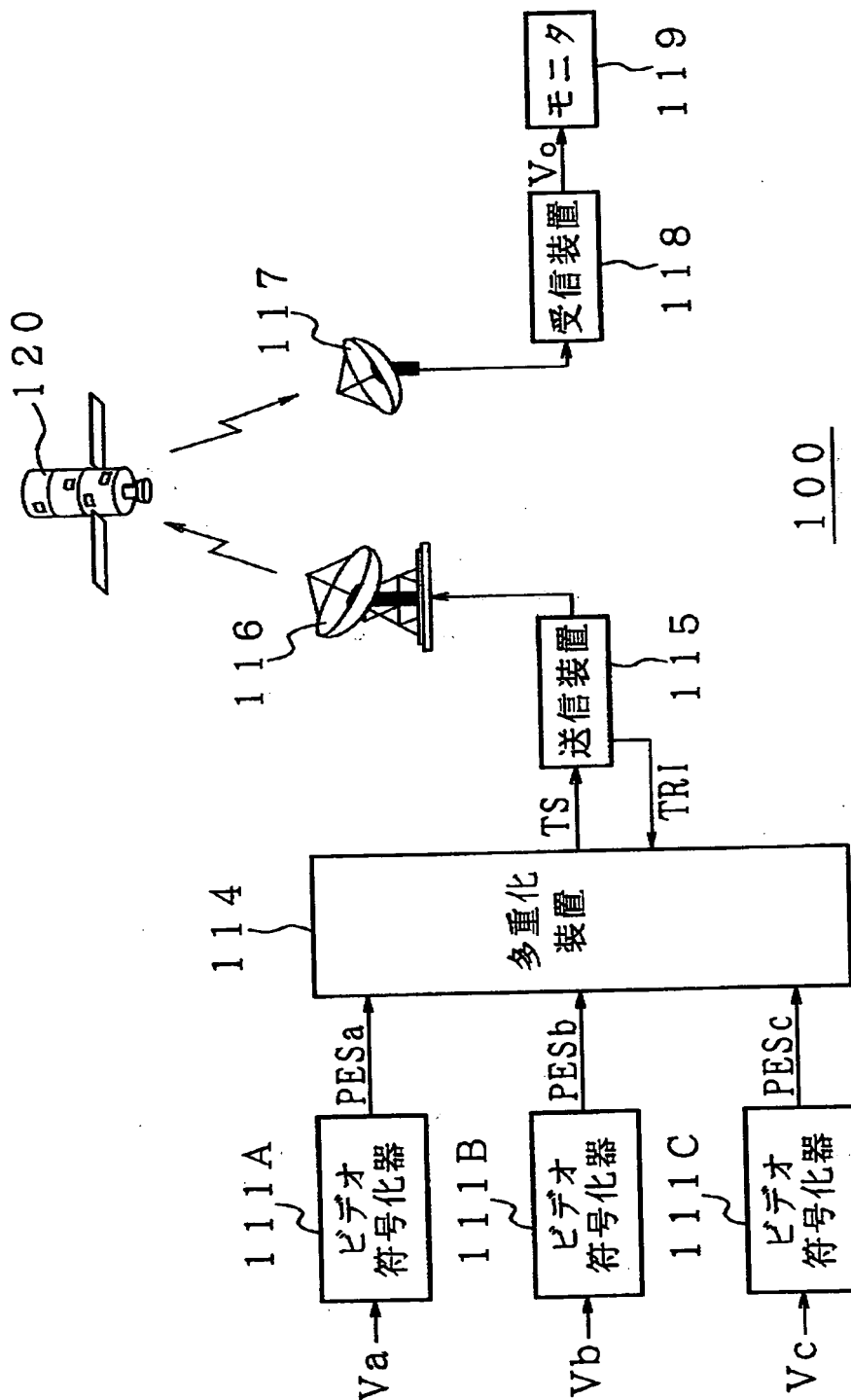
【符号の説明】

100・・・デジタル衛星放送システム、111A～111C・・・ビデオ符号化器、114, 114A, 114B・・・多重化装置、115・・・送信装置、116・・・送信アンテナ、117・・・受信アンテナ、118・・・受信装置、119・・・モニタ、132A～132C・・・レート可変型多重バッファ、133・・・多重化回路、135・・・多重化制御部、141・・・入力端子、142・・・パラレル／シリアル変換器、143・・・シリアルデータバッファ、144・・・シリアル／パラレル変換器、145・・・出力端子、146・・・データ解析部、147・・・レート可変制御部、148・・・開始同期コード検出部、149・・・バイトアライメント部、151・・・入力端子、152・・・ディレイ部、153・・・パラレルデータバッファ、154・・・データ解析部、155₋₁～155_{-n}・・・ビットイネーブルバッファ、156・・・イネーブル制御部、157・・・レート変換部、158・・・バレルシフタ、159・・・出力端子、160・・・バイトアライメント部

【書類名】 図面

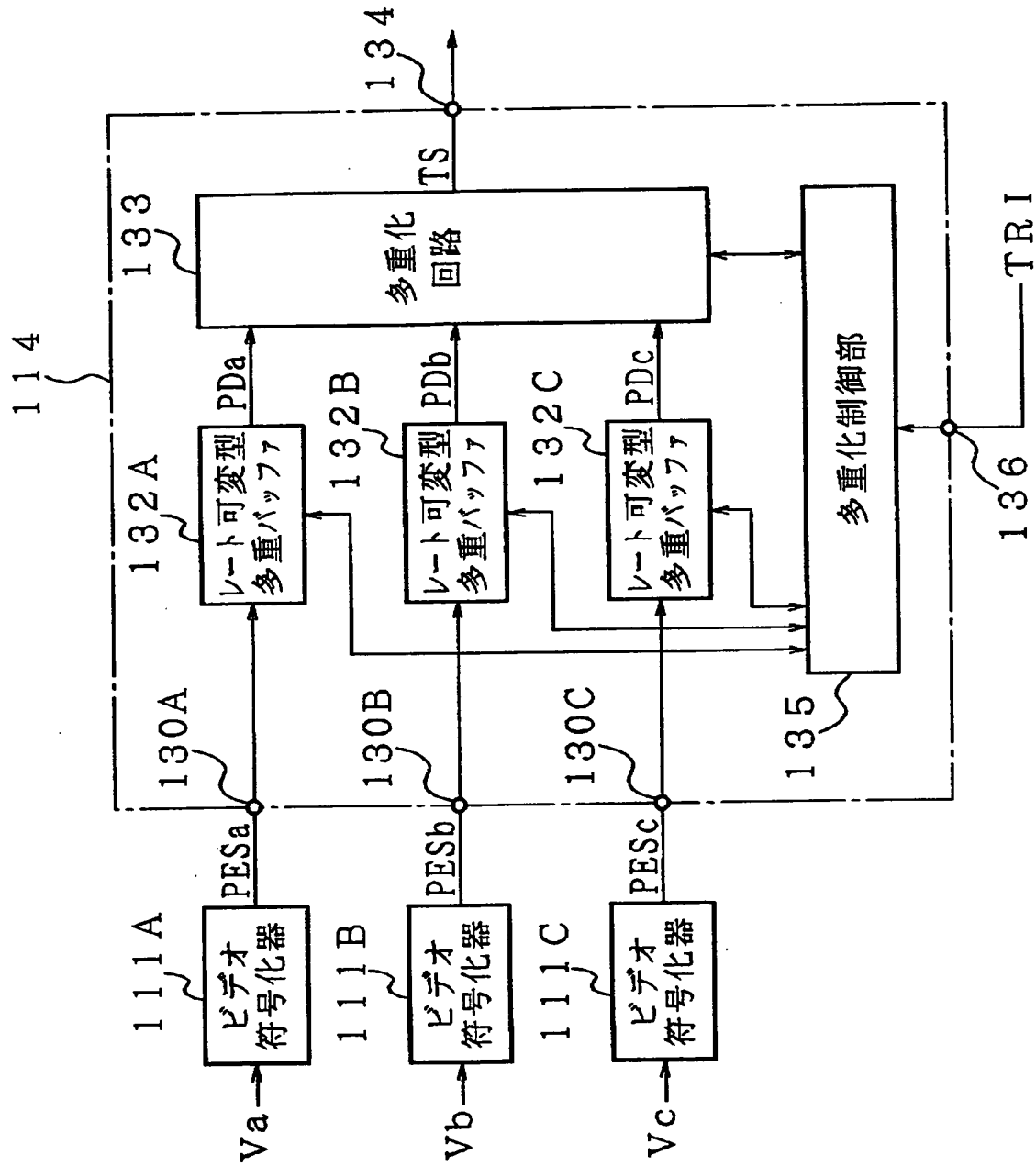
【図 1】

第 1 の実施の形態 (デジタル衛星放送システム)



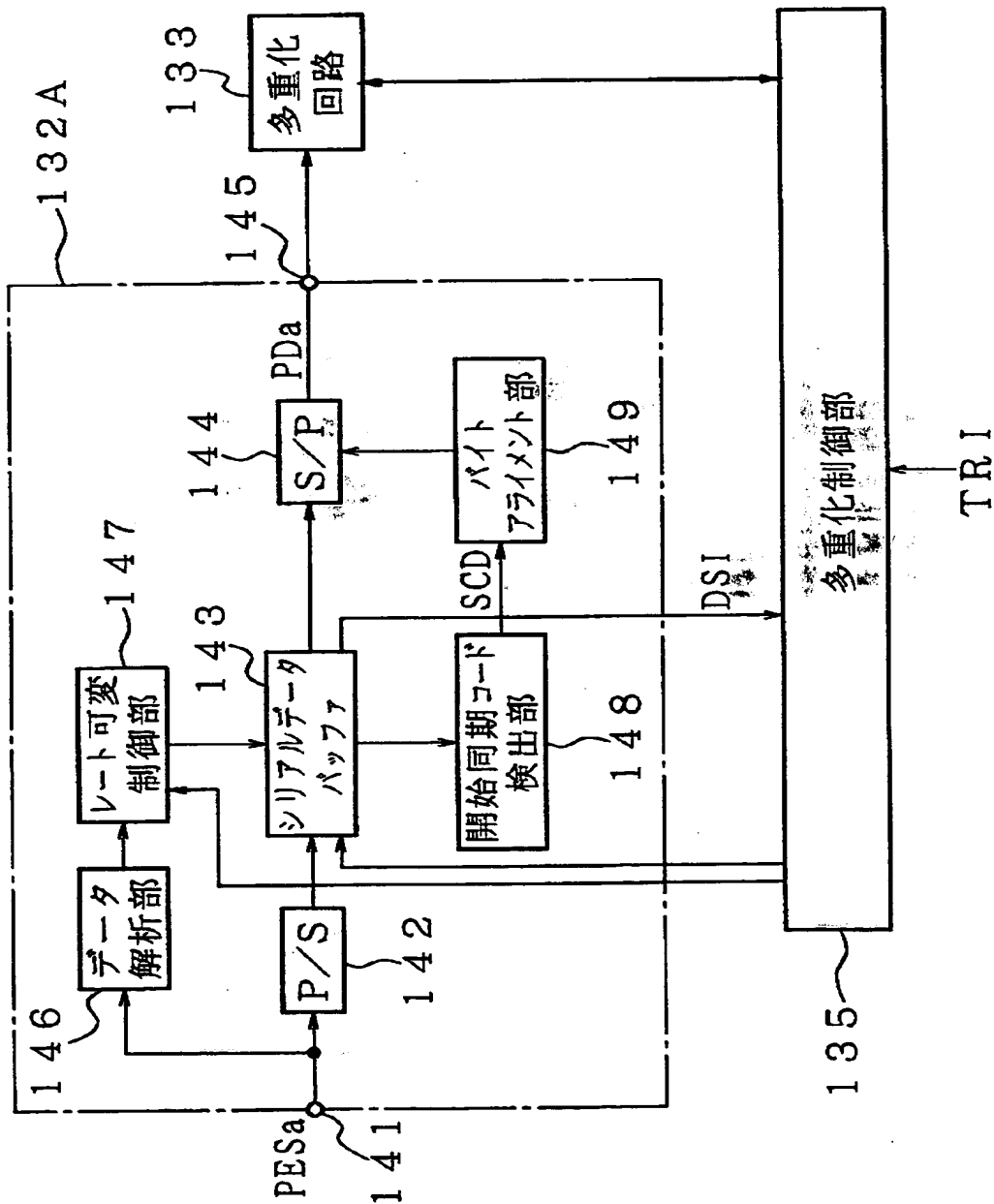
【図 2】

多重化装置



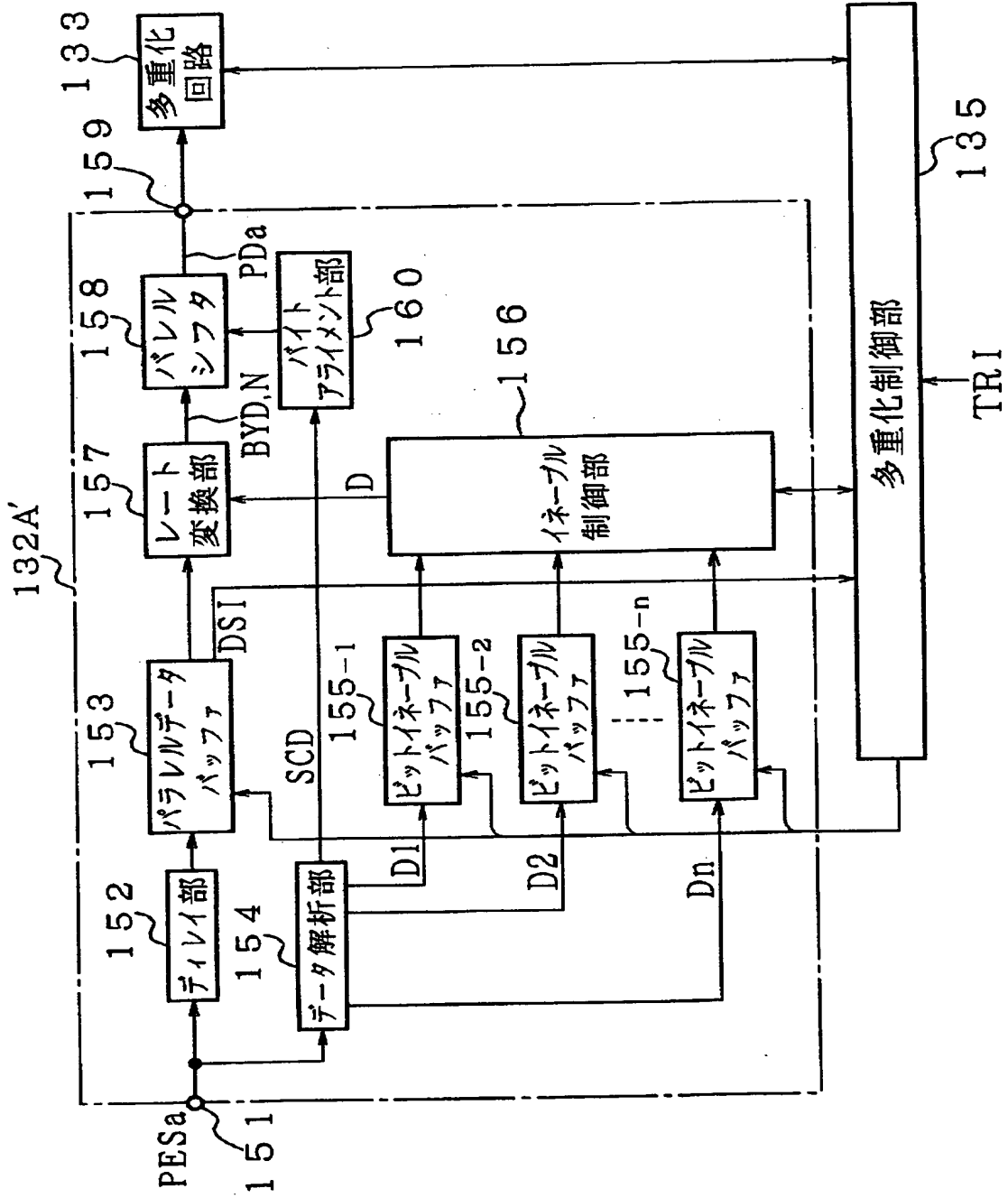
【図3】

レート可変型多重バッファ



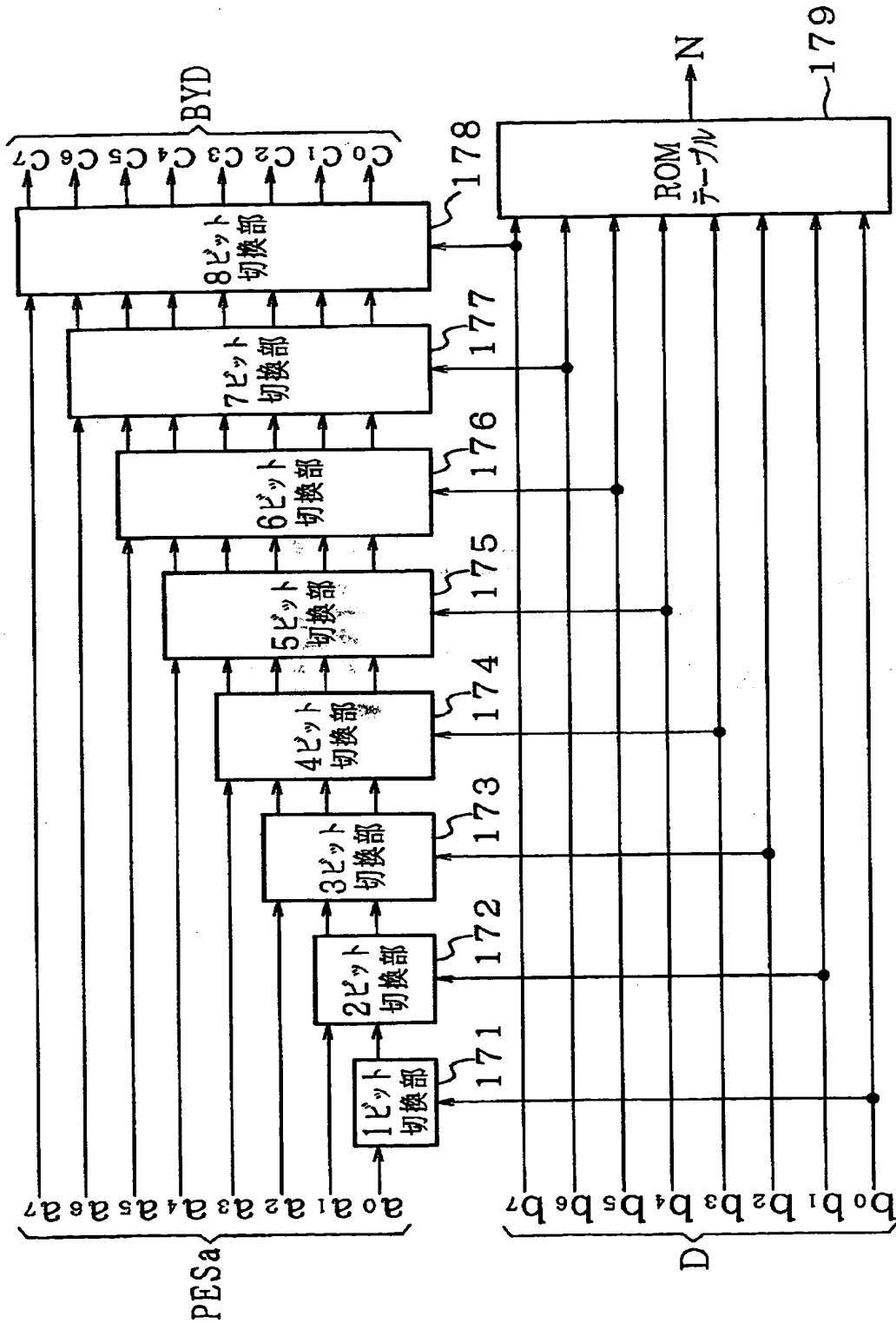
【図4】

レート可変型多重バッファ



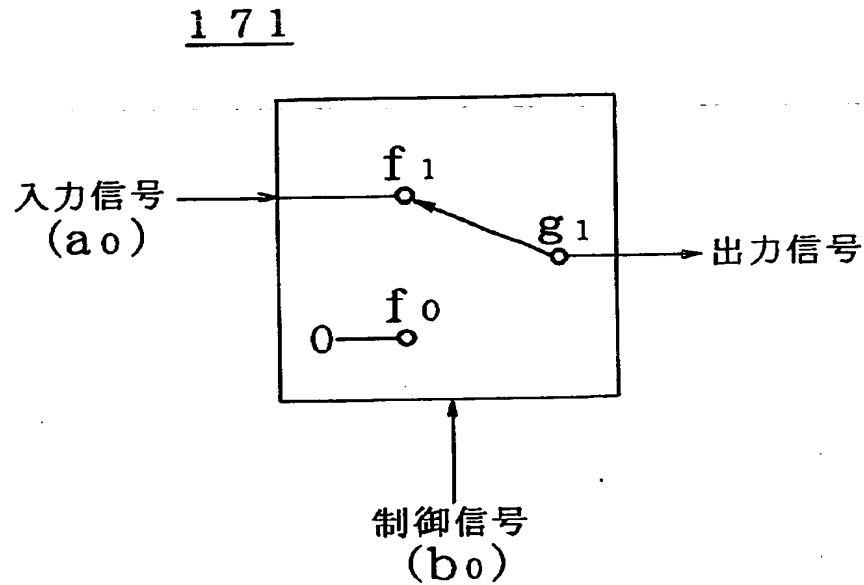
【図5】

レート変換部の構成例



【図 6】

1 ビット切換部

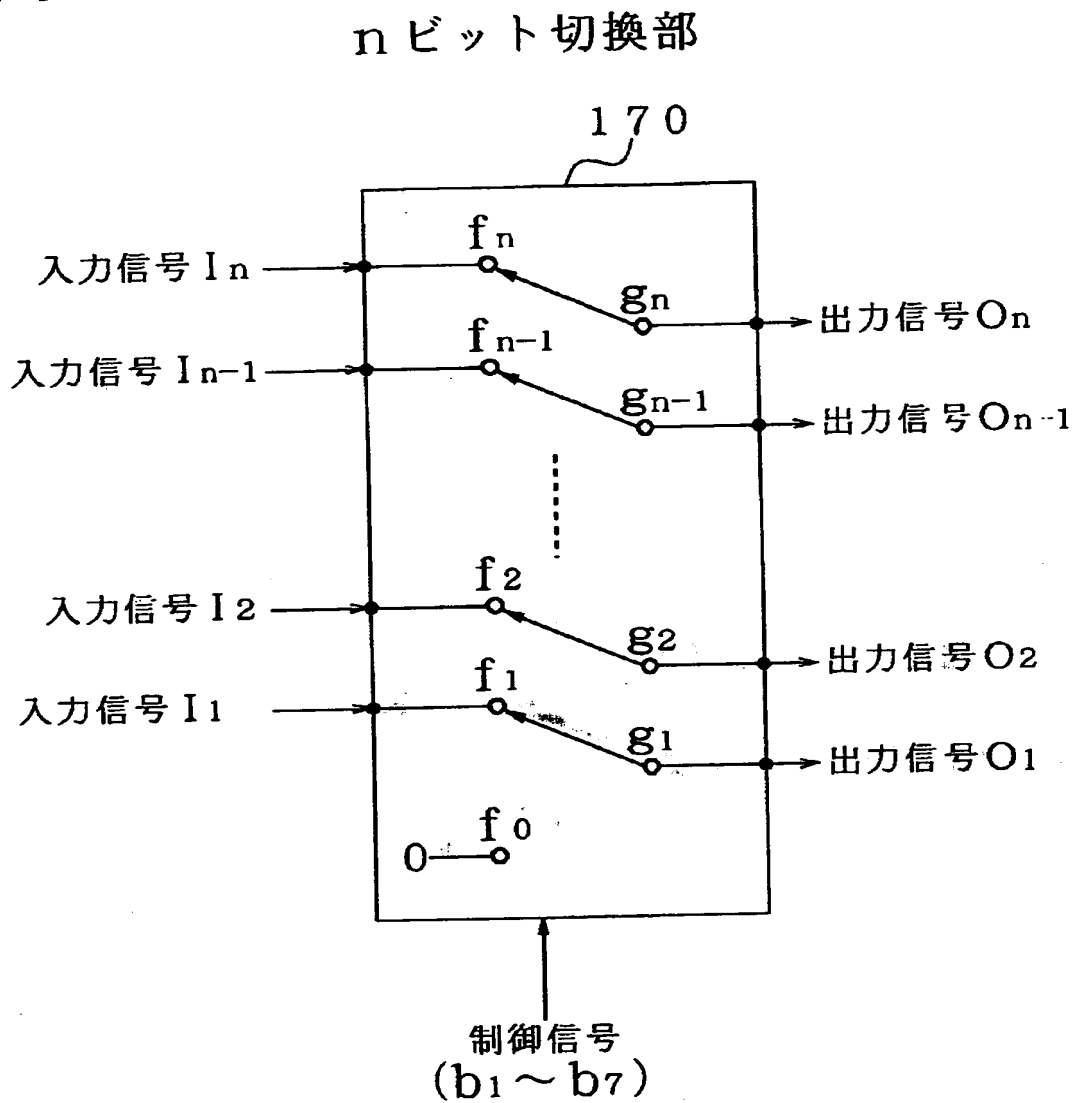


【図 7】

1 ビット切換部の各信号の関係

入力信号 (a ₀)	制御信号 (b ₀)	出力信号
0	0	0
1	0	0
0	1	0
1	1	1

【図 8】



【図 9】

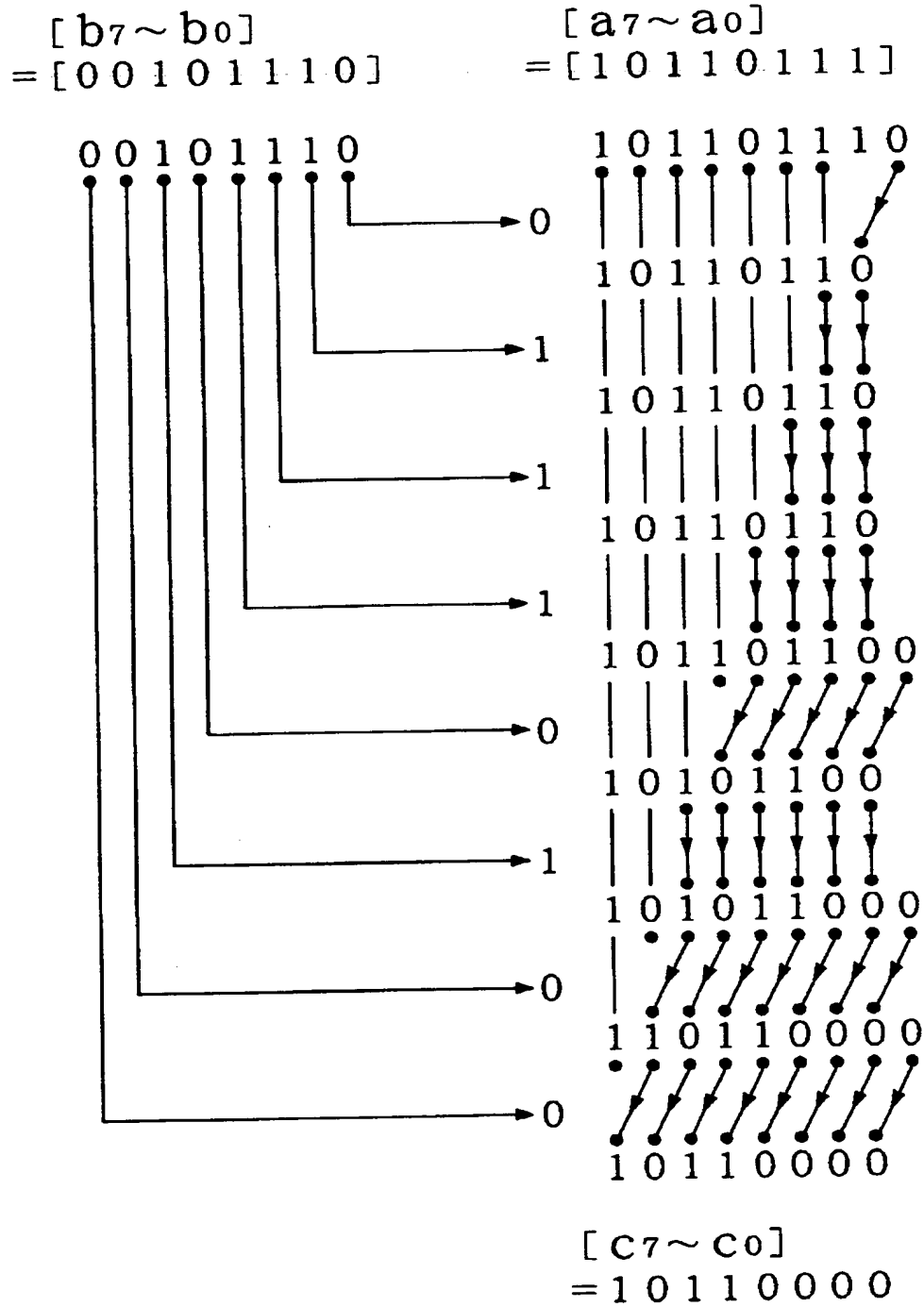
n ビット 切 換 部 の 各 信 号 の 関 係

制御信号	出力信号 O_n
0	I_{n-1}
1	I_n

ただし、 $I_0 = 0$ とする

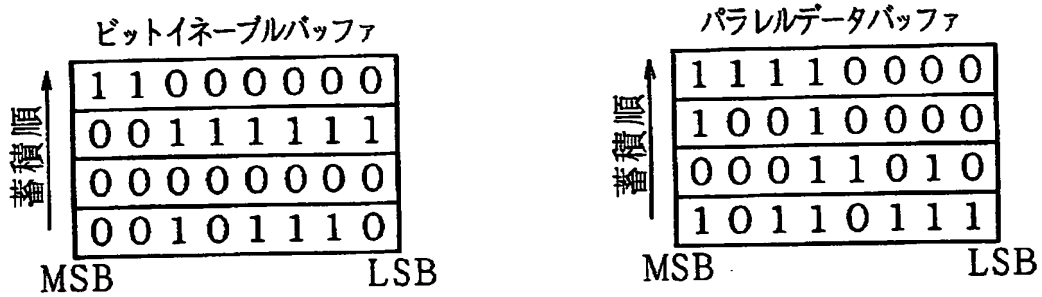
【図10】

レート変換部の動作例

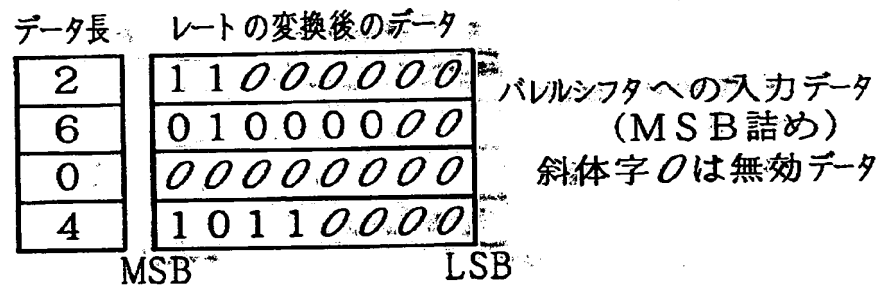


【図 11】

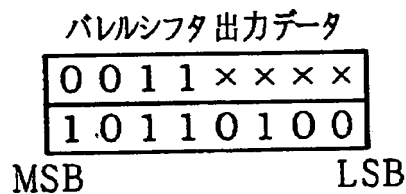
レート変換部、バレルシフタの動作例



レート変換部で
有効データをMSB詰め



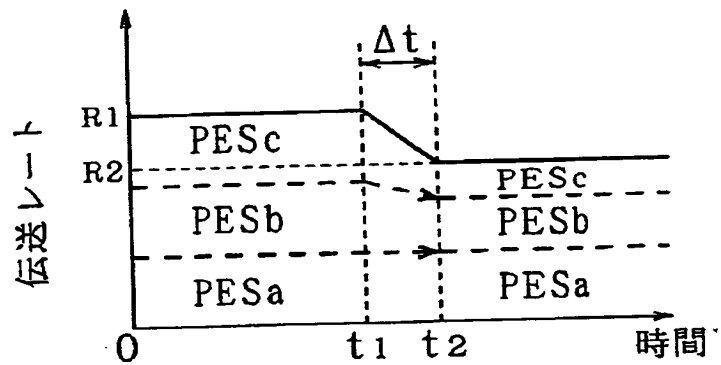
バレルシフタへ入力



【図 13】

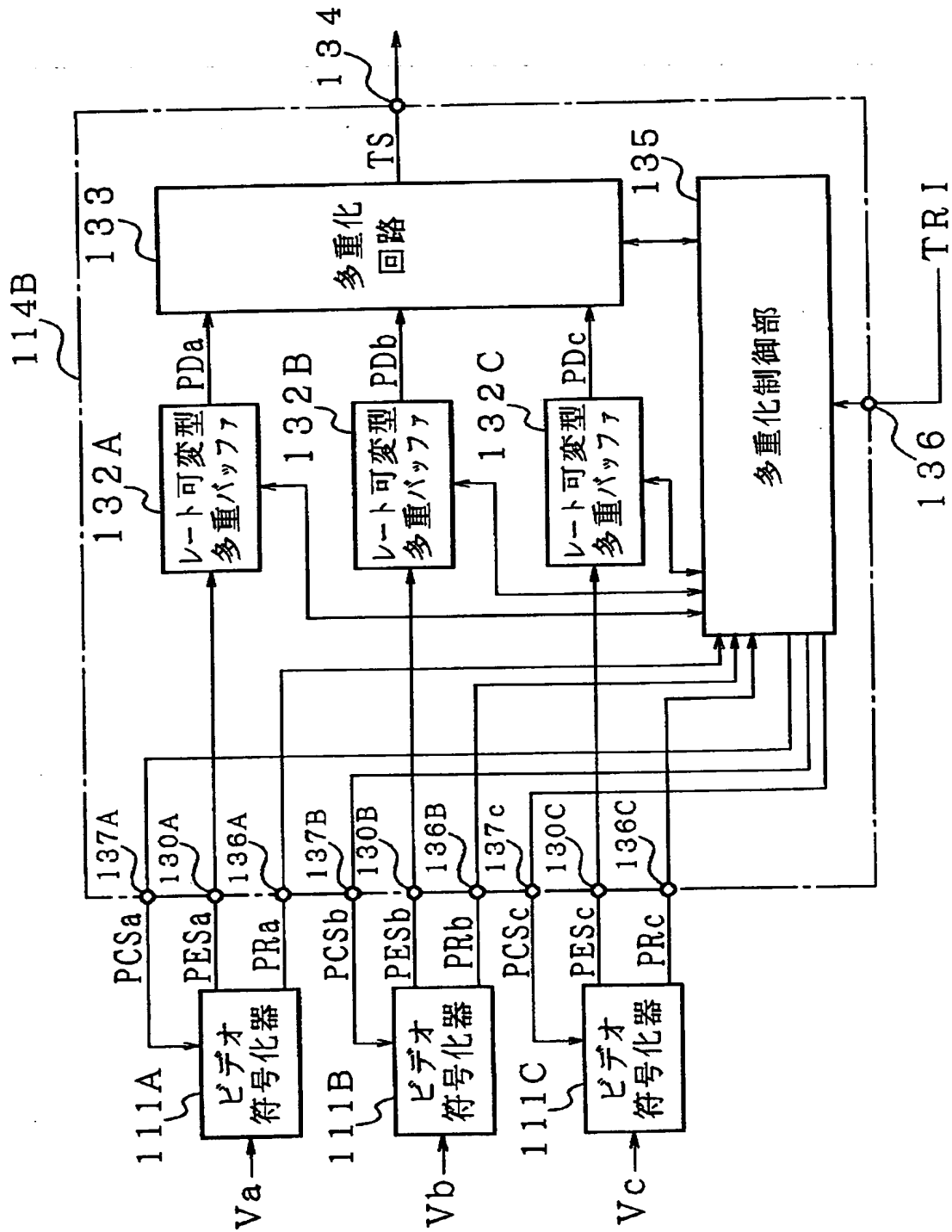
優先度情報を利用したレート変換例

優先度：PESa>PESb>PESc



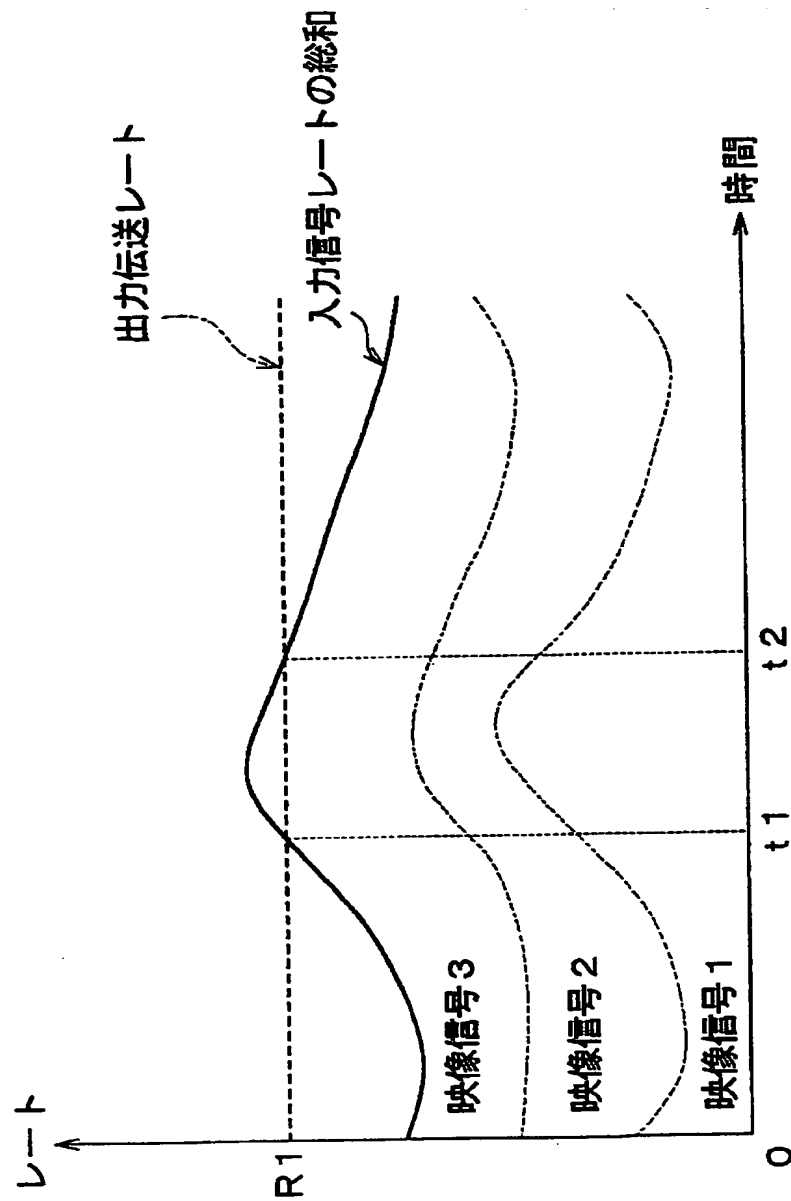
【図 14】

第 3 の実施の形態（多重化装置）



【図 16】

多重時の入力信号レートの変動



【書類名】 要約書

【要約】

【課題】多重化の際の遅延時間の増大を回避し、それによる受信側での同期破綻等の不都合を防止する。

【解決手段】入力ビデオデータ P E S a を、P / S 変換器 1 4 2 でバイト単位のパラレルデータからシリアルデータに変換し、その後にバッファ 1 4 3 に書き込み、蓄積する。バッファ 1 4 3 の蓄積データを、多重化制御部 1 3 5 の制御により読み出し、その読み出しデータを S / P 変換器 1 4 4 でシリアルデータからバイト単位のパラレルデータに変換して出力データ P D a とする。バッファ 1 4 3 のデータ蓄積量が増加していく場合、レート可変制御部 1 4 7 の制御により、データ解析部 1 4 6 の解析結果を参照し、例えば高次の D C T 係数を廃棄してデータ量を削減し、レート変更をする。これにより、バッファ 1 4 3 のデータ蓄積量の増加を抑制でき、多重化の際の遅延時間の増大が回避でき、受信側での同期破綻等の不都合を防止可能となる。

【選択図】 図 3

【書類名】 職権訂正データ
 【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】 000002185

【住所又は居所】 東京都品川区北品川6丁目7番35号

【氏名又は名称】 ソニー株式会社

【代理人】 申請人

【識別番号】 100090376

【住所又は居所】 東京都千代田区内神田1丁目15番2号 平山ビル
 5階 山口特許事務所

【氏名又は名称】 山口 邦夫

【選任した代理人】

【識別番号】 100095496

【住所又は居所】 東京都千代田区内神田1丁目15番2号 平山ビル
 5階 山口特許事務所

【氏名又は名称】 佐々木 榮二

This Page Blank (uspto)